

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-130132

(43)Date of publication of application : 23.05.1989

(51)Int.CI.

G02F	1/133
G09F	9/30
G09G	3/36
H01L	21/66
H01L	21/82
H01L	27/12

(21)Application number : 62-288651 (71)Applicant : SEIKO EPSON CORP

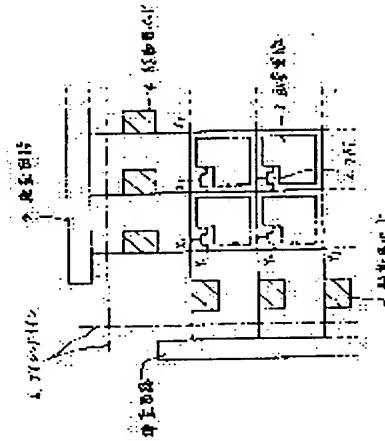
(22)Date of filing : 16.11.1987 (72)Inventor : MATSUEDA YOJIRO

(54) ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PURPOSE: To exactly detect the short circuit and disconnection of wirings in a short period of time without bringing many probe needles into contact with the title substrate by separably connecting the whole or part of signal lines and scanning lines to inspection circuits constituted of TFT (thin film transistors).

CONSTITUTION: The TFTs 2 and picture element electrodes 3 are disposed at the intersected points of the signal lines X1WX3 and the scanning lines Y1WY3. The signal lines X1WX3 and the scanning lines Y1WY3 are respectively connected to the inspection circuits 7, 8. The short circuit between the signal lines and the scanning lines, the short circuit between the adjacent lines, etc., are, therefore, detectable. Sepn. of the inspection circuits 7, 8 by cutting the short circuit part by laser trimming and dicing the substrate along dicing lines 6 at need is also possible at need. The short circuit and disconnection between the wirings are thereby exactly detected in a short period of time without direct probing of the signal lines X1WX3 and the scanning lines Y1WY3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑯ 公開特許公報 (A) 平1-130132

⑯ Int. Cl. 4

G 02 F 1/133
 G 09 F 9/30
 G 09 G 3/36
 H 01 L 21/66
 21/82
 27/12

識別記号

3 2 7
 3 1 0

庁内整理番号

7370-2H
 7335-5C
 8621-5C
 S-6851-5F
 7925-5F
 A-7514-5F

⑯ 公開 平成1年(1989)5月23日

審査請求 未請求 発明の数 1 (全5頁)

⑯ 発明の名称 アクティブマトリクス基板

⑯ 特願 昭62-288651

⑯ 出願 昭62(1987)11月16日

⑯ 発明者 松枝 洋二郎 長野県諏訪市大和3丁目3番5号 セイコーホーム株式会社内

⑯ 出願人 セイコーホーム株式 東京都新宿区西新宿2丁目4番1号
会社

⑯ 代理人 弁理士 最上 務 外1名

明細書

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

①) 基板上に、複数の信号線、走査線、及びそれらの交点に設けられた薄膜トランジスタ(以下 TFT と略記)と画素電極とを備えて成るアクティブマトリクス基板において、前記基板上に TFT によって構成される検査回路を有し、前記信号線及び走査線の全数または一部が前記検査回路に接続され、前記検査回路は切断して分離できることを特徴とする、アクティブマトリクス基板。

②) 前記検査回路は、シフトレジスタとスイッチあるいはシフトレジスタのみで構成され、前記信号線および走査線の線間短絡や断線を検出することを特徴とする特許請求の範囲第1項記載のアクティブマトリクス基板。

③) 前記画素電極1個に対して複数の TFT が接続され、前記 TFT と前記画素電極間、前記 TFT と前記信号線間、前記 TFT と前記走査線間のいずれかの接続部を必要に応じて独立に切断できるように構成した事を特徴とする特許請求の範囲第2項記載のアクティブマトリクス基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はアクティブマトリクス基板の構成に関する。

(従来の技術)

従来のアクティブマトリクス基板は「日経エレクトロニクス 1984年 9月10日号 P. 211-240」に、示されるようなものであった。第2図はその代表的な構成を示す図であり、マトリクス状の信号線 X₁..X_n..X₁ 及び走査線 Y₁..Y_n..Y₁ と、それらの交点に配置される TFT 12 及び画素電極 13 とから成る。この基板状態で配線間の短絡や配線の断線を検出する

には、それぞれの信号線と走査線上に設けられた駆動用パッド4にプローブ針15を接触させる必要がある。

(発明が解決しようとする問題点)

しかし、前述の従来技術には以下に述べるような問題点がある。すなわち、高精細な画面を得るために画素数を増加させると前述のプローブ針の数が増大し、ピッチは小さくなり、一枚のプローブカードで構成するのではなくと不可能となる。一方、高精細になれば歩留まりは低下するため、検査を欠かすことはできない。

本発明はこのような問題点を解決するものであり、その目的とするところは、多數のプローブ針を接触させずに短時間で正確に配線間の短絡や配線の断線を検出できるようなアクティブマトリクス基板を実現することにある。

(問題点を解決するための手段)

本発明のアクティブマトリクス基板は、絶縁基板上に、TFTによって構成される検査回路を有し、信号線及び走査線の全数または一部が前記検

査回路に接続され、前記検査回路は切断して分離できることを特徴とする。

(作用)

本発明の上記の構成によれば、信号線や走査線に直接プローブ針を接触させる代わりに、検査回路を用いて配線間の短絡や配線の断線を短時間で正確に検出することができる。

(実施例)

第1図は本発明の一実施例を示すアクティブマトリクス基板の平面図の例である。X₁、X₂、X₃は信号線、Y₁、Y₂、Y₃は走査線で、それらの交点にTFT2と画素電極3とが配置されている。本実施例においては信号線と走査線がそれぞれ検査回路7及び8に接続されているので、信号線と走査線間の短絡や断線ライン間の短絡等を短時間で正確に検出できる。必要に応じて短絡部分をレーザートリミングにより切断した後、ダイシングライン8にそってダイシングして検査回路7、8を分離する。このアクティブマトリクス基板と数mmの空間を介して対向基板を向かい合

させて固定し、その空間に液晶を封入する。そして、駆動用パッド4にドライバーICを実装するとアクティブマトリクスパネルとなる。断線や、修正によって切断された部分については、配線の終端部に、外部から信号を与えることで修正できる。

第3図は他のアクティブマトリクス基板の平面図の例である。この例では1本おきに駆動用パッド4があり、奇数列の信号線は上側、偶数列の信号線は下側のドライバーで駆動する。同様に奇数行の走査線は左側、偶数行の走査線は右側のドライバーで駆動する。2はTFT、3は画素電極、6はダイシングラインで7、8、9、10は検査回路である。この例では配線の両端に検査回路があるので、配線の断線についても検出できる。例えば信号線に関しては7と9の検査回路を、走査線に関しては8と10の検査回路を同時に動作させて断線及び断線ライン間の短絡を検出できる。信号線と走査線間の短絡については7または8の検査回路と、8または10の検査回路の組み合

せて検出できる。一方、この例では検査回路に冗長性を持たせてあるため、仮にいすれかの検査回路に不良を生じても、反対側の検査回路が正常であれば短絡に関する不良は検出できる。

第4図は、信号線と画素TFTに冗長性を持たせたアクティブマトリクス基板の平面図の例であり、不良部分を検出、修正することにより無欠陥の画面を得ることができ、キャラクタなどのデータ表示用に適している。信号線X₁とX₂、X₃とX₄、X₅とX₆、X₇とX₈は対になっており、各画素電極3は2つのTFT2を介して対をなす信号線に接続されている。走査線Y₁、Y₂、Y₃、Y₄はそれぞれ左右の検査回路8、10に接続され、駆動用パッド4は1本おきに配置されている。この例では奇数番目の信号線は検査回路7に、偶数番目の信号線は検査回路8に接続されているが、検査回路にも冗長性を持たせて各信号線の両端を検査回路7及び8に接続することもできる。不良部分を検出した後、走査線と短絡している信号線は、短絡部分の前後で信

号線を切断し、電極間の短絡した TFT は配線から切断する。ダイシングライン 6 にそって検査回路 7, 8, 9, 10 を分離した後、対をなす信号線には同じ信号が与えられるようにドライバー IC を実装する。具体的には、対をなす信号線の入出力端子がドライバーを実装する際に短絡されるようにする。例えば信号線 X₁ と X₂ はドライバーの実装される上側の駆動用パッド 4 で短絡され駆動されるが、ドライバーの実装されない下側の修正用パッド 5 も短絡しておけば、この 2 本の信号線の中で 1ヶ所の断線があっても不良とならずにする。したがって前述のように短絡部の上下で信号線を切断しても不良とはならない。また、各画素の TFT のうち片方の TFT を切断しても、もう一方の TFT が正常であれば正規の信号を与えることができるため画素欠陥とならない。この例では信号線と画素 TFT に冗長性を持たせたが、同様に走査線と画素 TFT に冗長性を持たせることもできる。

第 5 図は検査回路の例であり、シフトレジスタ

21 とスイッチ 22 によって走査線または信号線を 1 本ずつ選択できる。この検査回路を 2 つ同時に用いて、片方の入出力端子 23 に適当な信号を与え、もう一方の入出力端子 23 に検出器を接続して不良部分のアドレスを求めることができる。第 6 図 (a) は走査線と信号線間の短絡部分を、第 8 図 (b) は配線の断線部分を、第 8 図 (c) は脚線ライン間の短絡部分を求める具体的な方法の例を示す図である。

〔発明の効果〕

以上述べたように本発明のアクティブマトリクス基板は、信号線や走査線に直接プローピングすることなく配線間の短絡や断線を短時間で正確に検出することができる。しかも検査回路は同一基板上に TFT で構成するため、工程数は増やすことなく作製することができる。また検査回路の占める面積は小さいため、チップ面積の増加も 2~5%程度と少ない。一方、高精細な画面を得るために画素数と画素密度の増大が必須だが、従来の方法では、プローブカードの値段が非常に高価

なものとなり、また微細なピッチでプローブピンを配置するのは極めて困難であったが、本発明はこのような制約もなく簡単に高精細化が可能である。しかも、パッドにピンを接觸させることができないため、実装パッドに傷がついて信頼性を低下させることもない。

このように本発明によれば、短時間で正確に不良部分を検出することができ、低コストで高精細なアクティブマトリクス基板が実現できる。

4. 図面の簡単な説明

第 1 図、第 3 図、第 4 図はアクティブマトリクス基板の平面図。

第 2 図は従来のアクティブマトリクス基板の構造と検査方法を示す図。

第 5 図は検査回路の構成を示す図。

第 6 図 (a), (b), (c) は不良部分の検出方法を示す図。

2, 12 … TFT

3, 13 … 画素電極

4, 14 … 駆動用パッド

5 … 修正用パッド

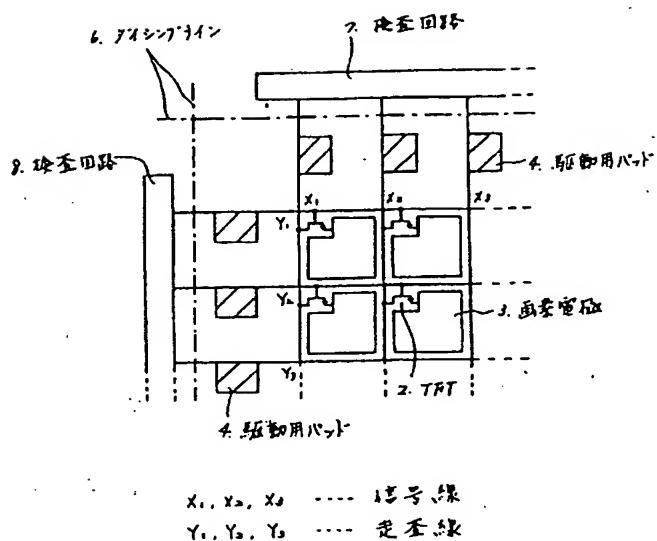
6 … ダイシングライン

7, 8, 9, 10 … 検査回路

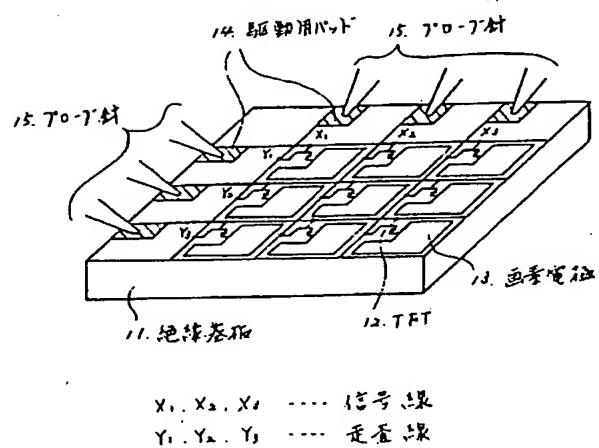
以上

出願人 セイコーエプソン株式会社

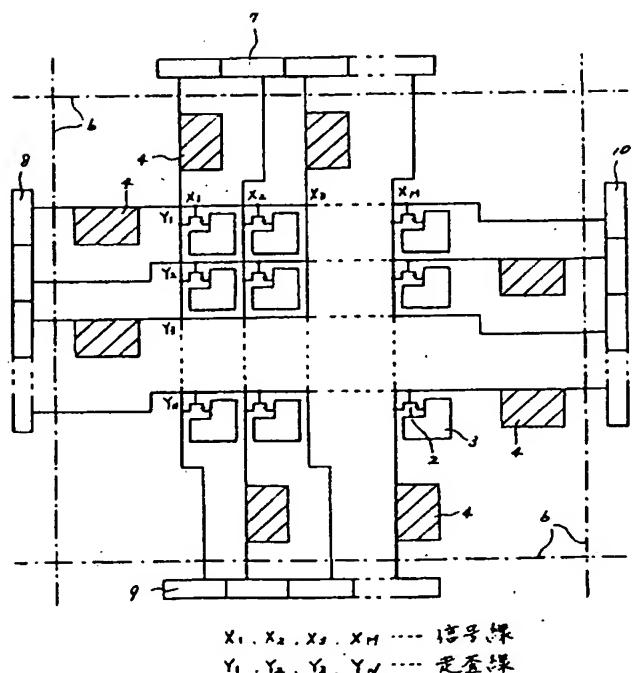
代理人 弁理士 最上 勝 他 1 名



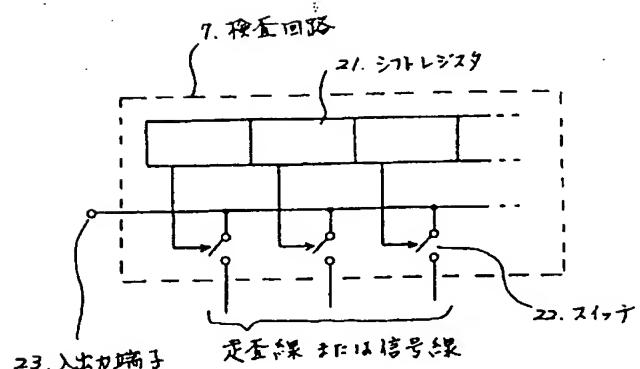
第 1 図



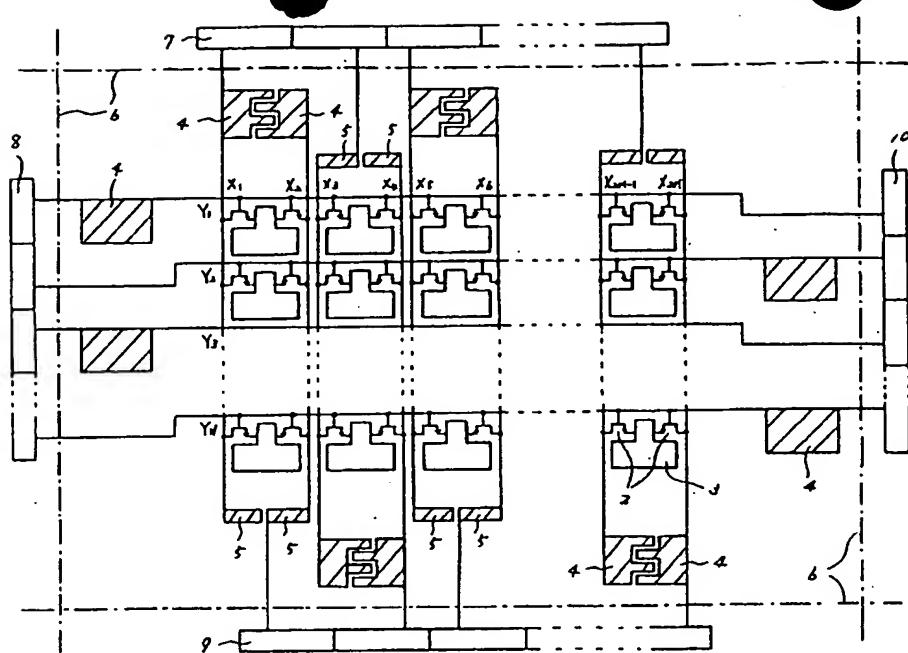
第 2 図



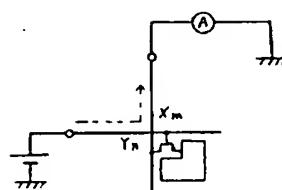
第 3 図



第 4 図



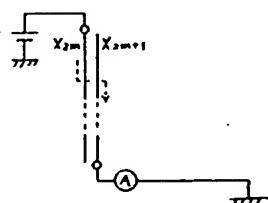
第4図



(a)



(b)



(c)

第6図